



**ACA 2016**

**Contributed Talk, Poster & Exhibition  
Session**

**摘要集（Talk 部分）**

**8月22日 — 8月23日**

## Contributed Talk Session I: 2016.8.22 15:20—17:00

### 1. RRAM-based Neural Computing System

Lixue Xia, Yu Wang and Huazhong Yang

*Tsinghua University*

**Abstract:** Deep learning, especially Neural Network (NN), is among the most powerful and widely used techniques in intelligent applications. At the same time, NNs are both computationally intensive and memory intensive, making them difficult to be deployed on low power lightweight embedded systems. The emerging metal-oxide resistive random-access memory (RRAM) and RRAM crossbar have shown great potential on neural networks with high energy efficiency. However, many challenges limit the implementation of large-scale RRAM-based NN, including the high-cost interface, the physical non-ideal factors, and lacking of EDA tools. In this work, a complete design flow is proposed for RRAM-based neural computing system. The experimental results show that RRAM-based structure can obtain more than 100X energy efficiency compared with the CPU/GPU/FPGA implementations.

### 2. 弹性数据处理：虚拟化与内存计算

翁楚良

*华东师范大学*

**Abstract:** Amazon 今年正式推出了 AWS EC2 X1 (单实例最大可用 128 vCPU、2TB 内存), 开始将传统的企业级应用如 SAP HANA 等大内存应用场景搬至云上, 进一步拓展云计算的应用领域。该 Talk 将针对业界的这一最新发展动向, 重点讨论 AWS EC2 X1 主要涉及的两项技术: 虚拟化与内存计算, 以及我们在这方面已取得的相应成果, 并讨论其未来的发展趋势。

### 3. Study on Reliable Racetrack Memory: From Circuit to Architecture

Chao Zhang and Guangyu Sun

*北京大学*

**Abstract:** 存储技术的不断迭代, 催生出的新一代非易失存储器。赛道存储器, 作为一种基于磁自旋存储技术, 在继承了现有非易失存储器优良的非易失特性的同时, 在存储密度、访问速度等方面又有较大提升。它的优良特性源自于它独有的条带形存储单元。赛道存储利用磁性纳米条带, 将多个比特同时存储在一个条带上。赛道存储器因此有一个独特的操作: 移动操作。前人的工作主要研究如何减少移动操作的能耗和延迟, 以便利用其提供的超高存储密度。这些工作重点研究如何设计启发式数据布排, 如何利用数据局部性减少冗余移动操作。这些工作对降低移动操作带来的性能开销已经有比较深入的研究。然而, 赛道存储的稳定性问题却没有得到相应的解决。

实际上, 赛道存储的稳定性问题是一个涉及多方面、多层次的复杂问题。一方面, 这种新的存储器被研究的时间较短, 并没有完整的电路级模型及仿真工具, 这使得详细的量化研究很难开展, 从而限制了对赛道存储器巨大的设计空间和电路设计空间的探索。电路模型的缺失, 使得架构层面不能有效地使用赛道存储器进行设计和仿真。另一方面, 赛道存储的移

动操作引入了影响稳定性的新的可能产生错误的操作, 现有的诸如错误校验码等方法不能有效解决这些新型错误。再一方面, 高频的移动操作可能引发温度的迅速增高, 从而引起器件性能变化, 严重时甚至烧毁电路造成不可逆数据损失。

为了解决这些问题, 探索高可靠性等赛道存储设计, 本工作从电路和架构两个层面对赛道存储的可靠性问题进行了研究。

#### **4. Enabling Coordinated Register Allocation and Thread-level Parallelism Optimization for GPUs**

Xiaolong Xie, Yun Liang, Xiuhong Li, Yudong Wu, Guangyu Sun, Tao Wang and Dongrui Fan

*Peking University*

**Abstract:** The key to high performance on GPUs lies in the massive threading to enable thread switching and hide the latency of function unit and memory access. However, running with the maximum thread-level parallelism (TLP) does not necessarily lead to the optimal performance due to the excessive thread contention for cache resource. However, thread throttling techniques that are designed to mitigate cache contention, lead to under utilization of registers. Register allocation is a significant factor for performance as it not just determines the single-thread performance, but indirectly affects the TLP. The design space of register allocation and TLP presents new opportunities for performance optimization. However, the complicated correlation between the two factors inevitably lead to many performance dynamics and uncertainties.

In this paper, we propose Coordinated Register Allocation and Thread-level parallelism (CRAT), a compiler-based performance optimization framework. In order to achieve this goal, CRAT first enables effective register allocation. Given a register per-thread limit, CRAT allocates the registers by analyzing the lifetime of variables. To reduce the spilling cost, CRAT spills the registers to shared memory when possible. Then, CRAT explores the design space by first pruning the design points that cause serious L1 cache thrashing and register under utilization. After that, CRAT employs a prediction model to find the best tradeoff between the single-thread performance and TLP. We evaluate CRAT using a set of representative workloads on GPUs. Experimental results indicate that compared to the optimal thread throttling technique, our framework achieves performance improvement up to 1.79X (geometric mean 1.25X).

#### **5. 双空间存储器概述**

金翊

*上海大学*

**Abstract:** 双空间存储器是用非易失随机存储器 (NVRAM) 构造的存储体, 其上同时设置了字空间和块空间, CPU 以访问内存方式使用字空间, 以访问外存方式使用块空间。安装在块空间 (按外存使用时) 的程序或保存的数据, 可以通过字空间执行或随机访问。于是, 这个新型存储体消除了程序和数据在内存和外存之间的拷贝过程, 也没有内存地址重定位的繁琐操作, 可以有效提高系统的运行效率。

## 6. 降低单级存储系统的同步开销

徐远超

首都师范大学

**Abstract:** 新型非易失存储介质 (Non-Volatile Memory, NVM) 同时具有外存的非易失性和内存的字节寻址特性, 使得使用单一的 NVM 构建单级存储系统 (single-level store) 成为可能, 已有的研究表明, 单级存储结构的功能和延迟只有二级存储结构的 1/5。然而, 相比 SSD 而言, NVM 具有极低的写延迟。因此, 现有的软件栈成为系统的主要开销, 数据的崩溃一致性保证更是成为事务系统性能的主要瓶颈。为了让持久化的数据结构免于异常掉电或系统崩溃的影响, 必须采取一些措施保证持久化数据的一致性, 比如, 写前日志技术 (write-ahead logging) 或写时拷贝技术 (copy-on-write)。然而, 这些技术结合事务机制会引入大量的同步开销。针对该问题, 我们提出两种技术来缓解同步开销。一是利用写优化的非易失存储 (STT-RAM) 将日志存放在片内, 从而消除了日志写入片外的延迟和同步开销。二是提出自适应的缓存模式, 根据数据的访问模式选择合适的缓存策略, 可以消除不必要的同步开销。基于部分测试程序的评估结果表明, 与传统的事务持久化内存系统相比, 这两项技术可以将系统整体性能平均提升 6 倍左右。

## 7. PARD: 一种按需分配的资源可编程体系结构

Zihao Yu and Yungang Bao

中科院计算所

**Abstract:** 这项工作展示了 PARD, 一种按需分配的资源可编程体系结构。PARD 提供了一种新的编程接口, 来将应用的高层信息, 如服务质量需求等, 传递到底层硬件。PARD 为计算机带来了新的功能, 例如无虚拟机监控器的硬件虚拟化、体系结构支持的服务质量保证, 区分化服务等。PARD 的启发源于“计算机即网络”的观察: 硬件部件通过数据包进行通信 (例如 NoC 或 PCIe)。我们将软件定义网络的设计原则应用到计算机中, 并解决了如下三个主要挑战。第一, 为了将高层应用的语义信息与底层硬件的数据包建立联系, PARD 为每一个访存请求、I/O 请求, 以及中断请求都附上一个高层语义标签 (例如虚拟机 ID 或者线程 ID)。第二, 为了提高硬件部件的可管理性, PARD 在实现了一系列的控制平面。这些控制平面可以集成到不同的共享资源中 (例如 cache、DRAM、I/O 设备等), 并且可以根据一些基于标签的规则对数据包进行区分化的处理。第三, 为了实现可编程性, PARD 将所有控制平面抽象成设备文件树, 为创建和应用这些基于标签的规则提供了一个统一的编程接口。

全系统仿真结果和 FPGA 原型系统运行结果均表明, 在将延迟敏感型应用 memcached 和其他负载混合部署的场景下, PARD 可以在尾延迟不明显提升的前提下, 将一个四核计算机的 CPU 利用率提升到 4 倍。FPGA 的实现结果表明, 对于一个四核的 MicroBlaze 系统, PARD 添加的控制平面 LUT 与 FF 的资源开销分别为 3.5% 与 4.7%, 同时未对原系统引入任何性能开销。

## 8. 一种基于种族分类进化的 QoS 异构组播路由机制

卢鹏飞, Xingwei Wang, Fuliang Li and Lianbo Ma

东北大学

**Abstract:** 随着新型网络应用的大量涌现,传统的网络技术已无法满足当前应用在带宽、延迟及出错率等上的需求,IP over DWDM (Dense Wavelength Division Multiplexing) 光互联网以其独特性能优势成为研究热点。本文基于种族分类进化算法,提出了一种 IP over DWDM 光互联网服务质量 QoS (Quality of Service)异构组播路由机制。具体地,利用概率论方法处理网络状态参数信息的不确定性;引入模糊数学方法,确定用户对 QoS 的需求并提供柔性 QoS 支持;综合考虑网络提供方和用户方的利益,设计公平的带宽定价方法。仿真结果表明,该路由机制获得了良好的综合性能指标,可以有效地解决 IP over DWDM 光互联网中的柔性 QoS 异构组播路由选择问题。

## 9. 面向云联网的云服务协商机制

杨晚林, 王兴伟, 张爽 and 黄敏

东北大学

**Abstract:** 随着云计算的快速发展,越来越多的用户开始使用云服务提供商提供的服务,而云联网作为云计算研究的新领域,可以实现跨云服务提供商的服务,当单个云服务提供商无法满足用户的服务需求时,云服务提供商之间以合作的方式为用户提供服务以便更好地满足用户的服务需求。针对上述情况,本文提出了面向云联网的云服务协商机制,该机制利用云联网和改进的经典合同网模型来实现云服务提供商的交互协商;为了有效地选出合作伙伴以提高合作效率,本文还为每一个云服务提供商建立了一个熟人集。实验表明,本文设计的机制可以有效地提高云服务提供商之间的合作效率,并且可以更好地满足用户的服务需求。

## 10. 交通安防大数据平台

Xingcheng Hua

浙江大学

**Abstract:** Massive traffic data is produced constantly every day, causing problems in data integration, massive storage, high performance processing when applying conventional data management approaches. With the advantage of "Big Data", we propose a cloud computing based system H-TDMS (Hadoop based Traffic Data Management System) to capture, manage and process the traffic big data. H-TDMS designs a configurable tool for data integration, a scalable data scheme for data storage, a secondary index for fast search query, a computing framework for data analysis applications, and a web-based user-interface with data visualization service for user interaction. Experiments on actual traffic data show that H-TDMS achieves considerable performance in traffic big data management.

## Contributed Talk Session III: 2016.8.23 15:30—17:10

### 11. GRT: 高性能可定制无线网络底层软硬件开放平台

王韬

北京大学

**Abstract:** 随着通信与计算机技术的迅猛发展,无线通信与网络已经深入到人们的日常生活,也成为了现代科技研究的一个重要领域。一方面,无线通信传输速率迅速提高,另一方面,随着无线通信的普及,衍生出了大量相关的新应用,多元化的无线应用对无线开发平台提出了新的需求。受限于当前的无线网络底层平台,研发人员往往不能对无线协议完成定制开发。传统无线算法的物理层和链路层(PHY、MAC 层)基本都是在芯片中实现,其内部算法和协议固定,不具备可定制性,随着无线技术的飞速发展,无线领域的研发者和特殊需求的使用者亟需一种高性能、可定制的无线网络底层软硬件平台。本报告介绍了北京大学无线可重构体系结构课题组自主设计并实现的 GRT 系统,一种高性能可定制无线网络底层软硬件开放平台,该平台能够提供高吞吐率、低延迟、高可定制性、高兼容性与开放性的特征。同时, GRT 系统上实现了一套基于 802.11a/g 协议的软/硬件代码,且提供与商业无线设备的兼容性。另外,GRT 系统可以与现有网络协议无缝对接,易于与主计算机集成,实现网络跨层次优化。并能够给上层网络层提供开放接口。GRT 系统的前期相关工作已经在多处国内外学术会议中做过介绍,并已经在清华大学、国防科技大学、美国 UCLA 等国内外高校中得到应用。本报告将重点介绍 GRT 在高性能、高可定制性、高兼容性与开放性这三方面的相关技术,同时还展示评测了 GRT 系统的最新成果。未来的 GRT 系统将会实现更高的速率、更好的编程性,并为用户提供更加丰富、开放的定制功能,并对外开放源代码。

### 12. 垃圾回收感知的闪存存储系统研究

Bo Mao and Suzhen Wu

厦门大学

**Abstract:** 首先简要介绍实验室在闪存存储系统和云存储系统方面的研究工作,然后重点介绍基于垃圾回收感知的闪存存储系统技术。垃圾回收会降低闪存存储系统的性能,现阶段的研究大多通过优化垃圾回收过程或减少对闪存存储的写入来减轻垃圾回收对系统性能的影响。针对该问题,我们提出了基于垃圾回收感知的缓存管理技术。已有的缓存管理策略仅考虑通过提高缓存命中率来提高缓存效率,而忽略了垃圾回收过程中的缺失代价是不同的。基于这个现象,垃圾回收感知的缓存管理技术优先将要发往垃圾回收的写数据和热点读数据保留在缓存中,以尽可能降低缓存不命中时的缺失代价。通过原型系统验证,结果表明基于垃圾回收感知的缓存管理优于现有的闪存缓存管理策略。在此基础上也会介绍我们在基于垃圾回收感知的固态硬盘阵列方面的研究工作。

### 13. 嵌入式系统可信虚拟化技术的研究与应用

张伶俐, 张功萱, 王天舒, 程翔

南京理工大学

**Abstract:** 嵌入式系统在生活中的应用日益广泛,传统的安全增强手段已无法有效应对各种

安全问题，增强嵌入式系统的安全性成为目前亟需解决的问题。为提高嵌入式系统及其应用程序的安全性，结合嵌入式系统的虚拟化技术与可信计算技术，设计并实现基于虚拟 TCM 的可信计算平台框架，实现了虚拟 TCM 和基于虚拟 TCM 的可信增强技术，提出并实现了一个基于虚拟 TCM 的会话认证方法，将信任链从硬件操作系统层扩展到了虚拟域的应用软件层；实验结果表明，虚拟 TCM 与物理 TCM 相结合能够有效保证了嵌入式系统、虚拟域和应用程序的安全可信。

#### 14. 集成 I/O 硬件压缩加速器的 Hadoop 系统框架

Lei Li

浙江大学

**Abstract:** 随着大数据的发展，Hadoop 系统成为了大数据处理中的重要工具之一。在运行数据密集型应用时，CPU 频繁处于空闲等待状态，等待 I/O 操作完成，导致 CPU 的有效负载大大降低，从而影响 Hadoop 系统的整体性能。通常 Hadoop 系统通过软件压缩数据来减少 I/O 操作，但是软件压缩速度较慢，因此使用硬件压缩加速器来替换软件压缩。Hadoop 运行在 Java 虚拟机上，无法直接调用底层 I/O 硬件压缩加速器。本文通过实现 Hadoop 压缩器/解压缩器类和设计 C++ 动态链接库来解决从 Hadoop 系统中获得压缩数据和将数据流向 I/O 硬件压缩加速器两个关键技术，从而将 I/O 硬件压缩加速器集成在 Hadoop 系统框架。实验结果表明，I/O 硬件压缩加速器的每赫兹压缩速度为 15.9Byte/s/Hz，集成 I/O 硬件压缩加速器提升 Hadoop 系统性能 2 倍。

#### 15. 可编程双粒子玻色-费米量子模拟

吴俊杰

国防科学技术大学

**Abstract:** 自二十世纪四十年代开始，以传统计算机为代表的信息技术彻底改变人类的生产生活方式，将人类文明推进至前所未有的新高度。进入二十一世纪，以信息科学与量子物理学交叉结合催生出的量子信息科学成为世界各国战略竞争的新焦点，量子计算被认为将为后摩尔时代提供新原理、新方法和新技术。2012 年诺贝尔物理学奖颁奖委员会评价称，量子计算有望在新世纪里再次彻底改变人们的生活，正像传统计算机在上个世纪中所做的那样。

量子计算研究当前主要集中于物理学领域，然而物理系统  $\neq$  计算系统，量子计算领域的最终突破亟需多学科领域研究者的深度合作。本报告将从计算机学科的视角，介绍量子计算的最新进展，同时介绍我们设计实现的可编程双粒子玻色-费米量子模拟系统，该系统以纠缠双光子为物理实验平台，实现了程序控制的量子协处理器结构，能够完成高保真度的双玻色子和双费米子量子模拟任务。